

RECEIVED
CENTRAL FAX CENTER

SEP 22 2006

Notice to File a Response

Applicant's Name: NEC Tokin Corporation and one other

Attorney's Name: Sang Sun NAM

Patent Appln. No.: 10-2004-0044098

Title of Invention: Chip-type solid electrolytic capacitor and method of
producing the same

We hereby inform you of the following reason(s) for rejection pursuant to Article 63 of the Korean Patent Act. The applicant, if needed, may file an Argument and/or an Amendment no later than **September 24, 2006**.

REASON(S)

Since the invention in the claims of the present application could have been easily conceived from the document indicated below, which was published prior to the filing of the present application, by a person skilled in the art to which the present invention pertains, the present invention cannot be patented according to Article 29(2) of the Korean Patent Act.

Since claims 5 and 7 of the present application are regarded as being insufficiently described as indicated below, this application does not meet the requirements of Article 42(4)(ii) of the Korean Patent Act, and thus it cannot be patented.

DETAILED GROUNDS

1. The present invention relates to a chip-type solid electrolytic capacitor and a method of producing the same, characterized in that a cathode terminal is provided with a through hole or a cutout formed at a portion to be brought into contact with the cathode terminal, thereby enhancing bonding strength.

However, the constitution of the present invention is merely a simple use of the well-known technology of the cited reference, Korean Patent No. 191759, which discloses a constitution wherein an anchor hole is provided at the part of a lead

frame between a base part and a sealing part of a semiconductor chip, and a filler is filled in the anchor hole to be adhered, thereby enhancing adhesiveness.

Accordingly, the present invention could have been easily conceived by a person skilled in the art from the cited reference.

2. Claim 5 describes the unclear expression "and/or," and the expression "a circular shape, a rectangular shape, or a polygonal shape" in claim 7 is not selectively described.

[Attachment]

1. A copy of Korean Patent No. 191759 (June 16, 1999)

Date: July 24, 2006

Examiner: C. W. SHIN

Electrical & Electronic Examination Bureau

Korean Intellectual Property Office

RECEIVED
CENTRAL FAX CENTER

SEP 22 2006

Korean Patent No. 10-0191759

(19) Korean Intellectual Property Office (KR)
(12) Patent Gazette (B1)
(45) Publication Date: June 15, 1999
(11) Registration No.: 10-019759
(24) Registration Date: January 26, 1999
(21) Application No.: 10-1994-0027250
(73) Patentee: Toshiba Corporation
(54) Title of the Invention: SEMICONDUCTOR DEVICE

[Abstract]

The present invention is to prevent the reliability of a semiconductor device from degrading even if a Cu lead frame allowing a high speed operation higher than several hundreds MHz is employed.

The semiconductor device (11) has a structure wherein a semiconductor chip (12) is sealed by a base part (13) and a sealing part (14) that are enclosure (10) made of ceramic excellent in high speed operation, heat dissipation properties, and electric characteristics. A Cu lead frame (17) connected electrically to the semiconductor chip (12) is interposed between the base part (13) and the sealing part (14) and an anchor hole is formed at the part in which the lead frame (17) is interposed. A glass based adhesive (16) is filled in the anchor hole (17a) between the lead frame (17) and the base part (13) and the sealing part (14). This structure prevents the reliability of the semiconductor device from degrading even when a Cu lead frame allowing a high speed operation of several hundreds MHz or above is employed.

등록특허번호 제0191759호(1999.06.15) 1부.

10-0191759

(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) Int. Cl. ⁶ H01L 23/04	(45) 공고일자 1999년10월15일 (11) 등록번호 10-0191759 (24) 등록일자 1999년01월26일
(21) 출원번호 10-1994-0027250 (22) 출원일자 1994년10월25일	(65) 공개번호 특1995-0012694 (43) 공개일자 1995년05월16일

(73) 특허권자 가부시기가이샤 도시바 니시무로 타이조
일본국 가나가와현 가와사키시 사이와이구 호리가와정 72
(72) 발명자 다카하시 와타루
일본국 가나가와현 가와사키시 사이와이구 고무카이 도시바 초오 1 가부시카
가이샤 도시바 다마카와 공장내
도우센 노리아키
일본국 가나가와현 가와사키시 사이와이구 고무카이 도시바 초오 1 가부시카
가이샤 도시바 다마카와 공장내
사토 노부유키
일본국 가나가와현 가와사키시 사이와이구 고무카이 도시바 초오 1 가부시카
가이샤 도시바 다마카와 공장내
(74) 대리인 나영환, 이상섭

심사관 : 유기혁

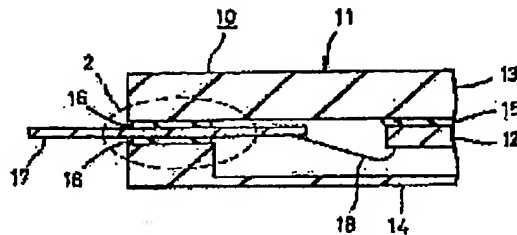
(54) 반도체 장치

요약

본 발명은 수백 kHz 이상의 고속 동작이 가능하게 되는 Cu 제의 리이드 프레임을 사용하더라도 반도체 장치의 신뢰성이 저하하는 것을 방지한다.

반도체 장치(11)는 고속 동작, 방열 특성, 전기 특성에 뛰어나 있는 세라믹으로 이루어지는 외위기(10)인 베이스부(13)와 봉지부(14)에 의하여 반도체 칩(12)이 봉지된 구조로 구성된다. 상기 반도체 칩(12)과 전기적으로 접속된 Cu 성의 리이드 프레임(17)은 베이스부(13)와 봉지부(14)에 끼워져 있고 리이드 프레임(17)에는 상기 끼워진 부분에 위치하는 앵커 홀(17a)이 설치되어 있다. 이 앵커 홀(17a)내, 상기 끼워진 부분의 리이드 프레임(17)과 베이스부(13) 및 봉지부(14) 각각과의 사이에는 유리제의 접착제(16)가 설치되어 있다. 따라서 수백 kHz 이상의 고속 동작이 가능해지는 Cu 제의 리이드 프레임 사용해도, 반도체 장치의 신뢰성이 저하하는 것을 방지할 수 있다.

도면도



발명자

[발명의 명칭]

반도체 장치

[도면의 간단한 설명]

제1도는 제1 실시예에 따른 반도체 장치의 주요부를 나타내는 단면도.

10-0191759

제2도는 본 발명의 제1도에 보인 반도체 장치에 있어서 리이드 프레임의 주요부를 나타내는 사시도.

제3도는 본 발명의 제2 실시예에 따른 반도체 장치에 있어서 리이드 프레임의 주요부를 나타내는 사시도.

제4도는 본 발명의 제3 실시예에 따른 반도체 장치의 일부를 나타내는 단면도.

제5도는 본 발명의 제4도에 도시한 반도체 장치에 있어서 리이드 프레임의 주요부를 나타내는 사시도.

제6도는 본 발명의 제4도에 보인 반도체 장치에 있어서 리이드 프레임의 주요부를 나타내는 사시도.

제7도는 본 발명의 제4 실시예에 따른 반도체 장치의 주요부를 나타내는 단면도.

제8도는 본 발명의 제7도에 보인 반도체 장치에 있어서 리이드 프레임의 주요부를 나타내는 사시도.

제9도는 종래의 반도체 장치를 나타내는 사시도.

제10도는 제9도에 보인 반도체 장치의 주요부를 나타내는 단면도.

* 도면의 주요부분에 대한 부호의 설명

10 : 외장부	11 : 반도체 장치
12 : 반도체 칩	13 : 베이스부
14 : 봉합부	15 : 패리스트
16 : 유리 계층의 접착제	17 : 리이드 프레임
17a : 앵커 홈	17b : 제1 라인에 상응하는 리이드
17c : 제1 앵커 홈	17d : 제2 앵커 홈
18 : 와이어 본딩	21 : 사진 식각법에 의해 형성된 홀리미드
22 : 테이프 모양의 홀리미드	

[발명의 상세한 설명]

본 발명은 반도체 장치에 관한 것으로서, 특히 수백 MHz 이상의 고속 동작을 가능하게 하는 반도체 장치에 관한 것이다.

제9도는 종래의 반도체 장치를 나타내는 사시도이고, 제10도는 제9도에 보인 반도체 장치의 주요부를 나타내는 단면도이다. 반도체 장치(1)는 고속 동작, 방열 특성, 전기 특성에 뛰어난 세라믹으로 이루어진 베이스부(3)와 봉합부(4)에 의하여 반도체 칩(2)이 밀봉된 구조로 되어 있다.

즉, 베이스부(3) 하부면의 봉합부에는 패리스트(5)를 통하여 반도체 칩(2)이 접합되어 있으며, 그 주변부에는 유리 계층의 접착제(6)에 의하여 재질이 42%의 니켈을 함유하며 통칭 42 합금이라고 부르는 FeNi로 이루어진 홀 계층의 리이드 프레임(7)이 접속되어 있다. 리이드 프레임(7)의 일단은 와이어 본딩(8)을 통하여 반도체 칩(2)과 전기적으로 접속되어 있다. 리이드 프레임(7) 아래에는 접착제(6)를 통하여 봉합부(4)의 주변부가 설치되며, 봉합부(4)에 의해 반도체 칩(2), 와이어 본딩(8) 및 리이드 프레임(7)의 일부가 봉합되어 있다.

그런데, 종래의 반도체 장치에서는 리이드 프레임(7)의 재질에 열팽창 계수가 유리 계층의 접착제와 유사한 42 합금을 사용하고 있는데, 이 42 합금은 전기적 특성이 나쁘기 때문에 고속 동작이 요구되는 반도체 장치에는 사용할 수 없다. 즉, 42 합금은 저항이 높고, 자체열이기 때문에 그 인덕턴스가 주파수에 의하여 변화한다. 여기서, 변화한 높은 주파수 대역에 있어서 입력 파형에 비하여 출력 파형이 비뚤어진다. 따라서, 고속 동작이 요구되는 반도체 장치의 경우 42 합금의 리이드 프레임은 그 사용이 불가능하다.

상술한 바와 같은 문제점을 해결하기 위하여, 리이드 프레임의 재질에 전기적 특성이 뛰어난 Cu 물질을 사용하는 것이 좋다. 그러나, Cu는 유리 계층의 접착제(6)와 열팽창 계수에 차이가 있기 때문에 종래의 반도체 장치에 있어서 Cu 물질의 리이드 프레임을 사용하면 유리 계층의 접착제(6)에 균열(crack)을 발생시켜 반도체 장치의 신뢰성을 떨어뜨린다.

따라서, 본 발명은 상기와 같은 사정을 고려하여 이루어진 것이며, 수백 MHz 이상의 고속 동작이 가능해지는 Cu 물질의 리이드 프레임을 사용해도 장치의 신뢰성이 저하하는 일이 없는 반도체 장치를 제공하는 데 그 목적이 있다.

본 발명은 상기한 과제를 해결하기 위하여 베이스부와 봉합부로 구성되는 외장부와, 외장부 내에 설치된 반도체 칩과, 반도체 칩과 전기적으로 접속되고, 베이스부와 봉합부에 삽입된 Cu 물질의 리이드 프레임과, 삽입 부분의 리이드 프레임에 코팅된 홀리미드와, 홀리미드와 베이스부 및 봉합부 각각의 사이에 설치된 유리 계층의 접착제를 구비하는 것을 특징으로 한다.

또한, 리이드 프레임의 전선 라인에 상응하는 리이드를 이외의 리이드 보다 짧게 하는 것을 특징으로 하고 있다.

또, 베이스부와 봉합부로 이루어지는 외장부와, 외장부 내에 설치된 반도체 칩과, 반도체 칩과 전기적으로 접속되고 베이스부와 봉합부에 삽입된 Cu 물질의 리이드 프레임과, 삽입 부분의 리이드 프레임에 코팅된 홀리미드와, 홀리미드와 베이스부 및 봉합부 각각의 사이에 설치된 유리 계층의 접착제를 구비하는 것을 특징으로 하고 있다.

또, 베이스부와 봉합부로 구성되는 외장부와, 외장부 내에 설치된 반도체 칩과, 반도체 칩과 전기적으로

10-0191759

접속되고 베이스부와 봉합부에 삽입된 Cu 물질의 리이드 프레임과, 리이드 프레임에 설치된 삽입 부분에 위치하는 앵커 홈과, 앵커 홈 내 및 삽입 부분의 리이드 프레임 각각에 코팅된 폴리이미드와, 폴리이미드, 베이스부 및 봉합부 각각의 사이에 설치된 유리 계열의 접착제를 구비한 것을 특징으로 하고 있다.

본 발명은 Cu 물질의 리이드 프레임에 외장부의 베이스부와 봉합부의 삽입부분에 위치하는 앵커 홈을 설치하고, 이 앵커 홈에 유리 계열의 접착제가 충전된 상태에서 이 접착제에 의하여 리이드 프레임을 상기 베이스부와 봉합부에 접착시키고 있다. 이 때문에, 리이드 프레임과 접착제와의 밀착성을 향상시킬 수 있다. 이로 인하여, 수백 마하 이상의 고속 동작이 가능하게 되는 Cu 물질의 리이드 프레임을 사용해도 유리 계열의 접착제에 있어서 균열의 발생을 방지할 수 있다. 따라서, 반도체 장치의 신뢰성이 제하하는 것을 방지할 수 있다.

또, 외장부의 베이스부와 봉합부의 삽입 부분 중 Cu 물질의 리이드 프레임에 폴리이미드를 코팅하고, 이 폴리이미드를 유리 계열의 접착제에 의해 베이스부와 봉합부에 접착시키고 있다. 이 결과, 리이드 프레임, 폴리이미드 및 폴리이미드의 유리 계열의 접착제 각각의 밀착성이 향상되므로 리이드 프레임과 접착제와의 밀착성을 높게 할 수 있다. 이로 말미암아, 수백 마하 이상의 고속 동작이 가능하게 되는 Cu 물질의 리이드 프레임을 사용해도 유리 계열의 접착제에 있어서의 균열의 발생을 방지할 수 있다.

이하, 도면을 참조하여 본 발명의 실시예를 설명한다.

제1도는 본 발명의 제1 실시예에 따른 반도체 장치의 주요부를 나타내는 단면도이고, 제2도는 제1도에 도시한 반도체 장치의 리이드 프레임의 주요부(2)를 나타내는 사시도이다. 반도체 장치(1)는 고속 동작, 방열 특성, 전기 특성이 뛰어난 세라믹으로 이루어진 외장부(10)의 베이스부(13)와 봉합부(14)에 의해 반도체 칩(12)이 봉합된 구조로 되어 있다. 반도체 칩(12)과 전기적으로 접속된 Cu 물질의 리이드 프레임(17)은 베이스부(13)와 봉합부(14) 사이에 삽입되어 있고, 리이드 프레임(17)에는 삽입 부분에 해당하는 위치에 앵커 홈(17a)이 설치되어 있다. 앵커 홈(17a) 내부와, 삽입 부분의 리이드 프레임(17), 베이스부(13) 및 봉합부(14) 각각의 사이에는 유리 계열의 접착제(16)가 마련되어 있다.

즉, 베이스부(13) 하부면의 중앙부에는 패시스트(15)를 통해 반도체 칩(12)이 접합되어 있다. 베이스부(13) 하부면의 유리 계열의 접착제(16)에 의해 Cu 물질의 물질로 이루어진 리이드 프레임(17)이 접착되어 있다. 리이드 프레임(17)은 제2도에 보인 바와 같이, 각 리이드부에 접착제(16)가 접착되는 부분에 앵커 홈(17a)이 설치되어 있다. 리이드 프레임(17)의 일단은 제1도에 보인 바와 같이, 와이어 본딩(18)을 통해 반도체 칩(12)과 전기적으로 접속된다. 리이드 프레임(17)의 아래에는 접착제(16)를 통해 봉합부(14)의 주변부가 설치된다. 따라서, 리이드 프레임(17)의 앵커 홈(17a)에는 접착제(16)가 충전된 상태로 되어 있다. 봉합부(14)에 의해 반도체 칩(12), 와이어 본딩(18) 및 리이드 프레임(17)의 일부가 봉합되어 있다.

제1 실시예에 의하면, Cu 물질의 리이드 프레임(17)의 각 리이드부에 앵커 홈(17a)을 설치하고 이 앵커 홈(17a)에 유리 계열의 접착제(16)가 충전된 상태에서 리이드 프레임(17)을 접착제(16)를 통해 베이스부(13)와 봉합부(14)에 접착하고 있다. 이 때문에, 리이드 프레임(17)과 접착제(16)와의 밀착성을 향상시킬 수 있다.

이로 말미암아, 전기적 특성이 뛰어난 Cu 물질의 리이드 프레임(17)을 사용해도 유리 계열의 접착제(16)의 균열 발생을 방지할 수 있다. 따라서, Cu 물질의 리이드 프레임(17)을 사용한 반도체 장치(1)에 의하여 균열 특성을 손상하는 말 없어 수백 마하 이상의 고속 동작을 가능하게 할 수 있는 동시에 반도체 장치의 신뢰성을 향상시킬 수 있다.

또한, 반도체 장치(1)에 있어서, Cu 물질의 리이드 프레임(17)을 사용함으로써 종래의 제품에 비하여 반도체 장치(1) 전체의 저항기화를 실현할 수 있다. 종래의 42 합금의 리이드 프레임 보다 Cu 물질의 리이드 프레임(17) 쪽이 저가격을 유지하고 있으므로 반도체 장치(1) 전체의 저항기화를 도모할 수 있다.

또, 제1 실시예에서는 리이드 프레임(17)의 리이드 각각에 하나의 앵커 홈을 설치하고 있으나 리이드 프레임(17)의 리이드 각각에 복수개의 앵커 홈을 설치할 수도 있다.

제3도는 본 발명의 제2 실시예에 의한 반도체 장치의 리이드 프레임의 주요부를 나타내는 사시도이다. 제2도와 동일 부분에는 동일 부호를 붙이고 상이한 부분에 대해서만 설명한다.

리이드 프레임(17)에 있어서 BMD 라인에 상당하는 리이드(17b)는 전류 밀을 고려하여 굵게 형성된다. 리이드(17b)에 있어서 접착제(16)가 접착되는 부분에는 제1 및 제1 앵커 홈(17c, 17d)이 설치된다. 즉, 리이드(17b)에는 2개의 앵커 홈(17c, 17d)이 설치되어 있고, 리이드(17b) 이외의 리이드에는 1개의 앵커 홈(17a)이 설치되어 있다.

제2 실시예에 있어서도 제1 실시예와 같은 효과를 얻을 수 있다.

제4도는 본 발명의 제3 실시예에 의한 반도체 장치의 일부를 나타내는 단면도이다. 제1도와 동일 부분에는 동일 부호를 붙이고 상이한 부분에 대해서만 설명한다.

베이스부(13) 하부면의 주변부에는 유리계열의 접착제(16)가 도포되어 있다. 접착제(16) 아래에는 사전 식각법에 의한 폴리이미드(21)가 형성되어 있고 폴리이미드(21)의 아래에는 리이드 프레임(17)이 형성되어 있다. 리이드 프레임(17)의 아래에는 테이프 모양의 폴리이미드(22)가 형성되어 있고, 폴리이미드(22)의 아래에는 접착제(16)를 통하여 봉합부(14)의 주변부가 형성되어 있다.

제5도 및 제6도는 제4도에 보인 반도체 장치에 있어서 리이드 프레임의 주요부(6)의 상부면 및 하부면 각각에 폴리이미드를 설치하는 공정을 나타내는 사시도이다. 먼저, 리이드 프레임(17)의 하부면에는 테이프 형상의 폴리이미드(22)가 설치된다. 다음에, 상기 리이드 프레임(17)의 상부면에는 폴리이미드(21)가 도포된다. 폴리이미드(21)는 사전 식각법에 의하여 상기 테이프 형상의 폴리이미드(22)의 상부에만 남겨진다. 이 때, 폴리이미드(21)는 베이스부(13) 하부면의 주변부에 위치하는 리이드 프레임(17)의 상부면, 측면 및 테이프 형상의 폴리이미드(22)의 상부에 흡착이 형성된다. 이것은 폴리이미드(21)를 사전 식각법에 의하여 형성하고 있기 때문이다. 따라서, 베이스부(13)의 하부면의 주변부에 대응하는 위치의 리이드

10-0191759

프레임(17)은 일정한 막두께의 폴리머미드(21)에 의하여 코팅된다.

제3 실시예는 Cu 물질의 리이드 프레임(17)에 있어서, 베이스부(13)의 주변부에 대응하는 위치에 폴리머미드(21,22)를 포함하여 형성하고 이를 폴리머미드(21,22)를 접착제(16)에 의하여 베이스부(13) 및 봉합부(14)에 접착시키고 있다. 이 결과, 리이드 프레임(17)과 폴리머미드(21,22) 및 폴리머미드(21,22)와 유리 계열의 접착제(16) 각각의 밀착성이 통기 때문에 리이드 프레임(17)과 유리 계열의 접착제(16)와의 밀착성을 좋게 할 수 있다. 이로 인하여, 전기 특성이 뛰어난 Cu 물질의 리이드 프레임(17)을 사용해도 유리 계열의 접착제(16)에 있어서의 균열의 발생을 방지할 수 있다. 따라서, Cu 물질의 리이드 프레임(17)을 사용한 반도체 장치(11)에 의하여, 균열 특성을 손상하지 않고 수백 MHz 이상의 고속 동작을 가하게 할 수 있는 동시에 반도체 장치의 신뢰성을 향상시킬 수 있다.

또한, 반도체 장치(11)에 있어서 Cu 물질의 리이드 프레임(17)을 사용함으로써 종래 제품에 비하여 반도체 장치(11) 전체의 저원가화를 실현할 수 있다.

제7도는 본 발명의 제4 실시예에 의한 반도체 장치의 주요부를 나타내는 단면도이다. 제8도는 제7도에 도시한 반도체 장치에 있어서 리이드 프레임의 주요부(8)를 나타내는 사시도이다. 제7도 및 제8도는 제4도, 제5도 및 제6도와 동일 부분에는 동일 부호를 붙이고 삼키는 부분에 대해서만 설명한다.

리이드 프레임(17)의 각 리이드부에 있어서 베이스부(13)하부면의 주변부에 대응하는 위치에 앵커 홀(17a)이 설치되어 있고, 이 앵커 홀(17a)의 내부에는 사전 식각법에 의한 폴리머미드(21)가 포함되어 형성되어 있다.

즉, 제8도에 도시한 바와 같이, 앵커 홀(17a)이 설치된 리이드 프레임(17)의 하부면에는 테이프 모양의 폴리머미드(22)가 설치되어 있다. 리이드 프레임(17)의 상부면, 즉면, 앵커 홀(17a)내의 측면 및 테이프 형성의 폴리머미드(22)의 상부면은 폴리머미드(21)가 포함되어 형성되어 있다.

제4 실시예에 있어서도 제3 실시예와 같은 효과를 얻을 수 있다. 더욱이, 리이드 프레임(17)에 앵커 홀(17a)을 설치하고 있으므로, 리이드 프레임(17)과 폴리머미드(21,22) 및 폴리머미드(21,22)와 유리 계열의 접착제(16) 각각의 밀착성을 더욱 향상시킬 수 있다.

또한, 본원 청구 범위의 각 구성 요건에 별가한 도면 참조 부호는 본원 발명의 이해를 용이하게 하기 위한 것이고, 본 발명의 기술적 범위를 도면에 도시한 실시예에 한정하는 의도로 별가한 것은 아니다.

이상 설명한 바와 같이 본 발명에 의하면 Cu 물질의 리이드 프레임에 외장부인 베이스부와 봉합부의 삽입 부분에 앵커 홀을 설치하고 있다. 또, 베이스부와 봉합부의 삽입부분이 Cu 물질의 리이드 프레임에는 폴리머미드가 포함되어 있다. 따라서, 수백 MHz 이상의 고속 동작이 가능해지는 Cu 물질의 리이드 프레임을 사용해도 반도체 장치의 신뢰성이 저하하는 것을 방지할 수 있다.

(5) 청구의 범위

형구항 1

베이스(13)와 봉합부(14)로 구성되는 외장부(10)와; 상기 외장부 내에 설치된 반도체 칩(12)과; 상기 반도체 칩과 전기적으로 접속되고 상기 베이스부와 상기 봉합부에 삽입된 Cu 물질의 리이드 프레임(17)과; 상기 리이드 프레임에 설치되며 상기 삽입 부분에 위치하는 앵커 홀(17a, 17c, 17d)과; 상기 앵커 홀 내부, 상기 삽입 부분의 상기 리이드 프레임, 상기 베이스부 및 상기 봉합부 각 사이에 설치된 유리 계열의 접착제(16)를 구비하는 것을 특징으로 하는 반도체 장치.

형구항 2

제1항에 있어서, 상기 리이드 프레임(17)의 전원 라인에 상응하는 리이드(17b)를 그 이외의 리이드 보다 굵게 하는 것을 특징으로 하는 반도체 장치.

형구항 3

베이스부(13)와 봉합부(14)로 구성되는 외장부(10)와; 상기 외장부 내에 설치된 반도체 칩(12)과; 상기 반도체 칩과 전기적으로 접속되고 상기 베이스부와 상기 봉합부에 삽입된 Cu 물질의 리이드 프레임(17)과; 상기 삽입 부분의 상기 리이드 프레임에 코팅된 폴리머미드(21,22)와; 상기 폴리머미드, 상기 베이스부 및 상기 봉합부 각 사이에 설치된 유리 계열의 접착제(16)를 구비하는 것을 특징으로 하는 반도체 장치.

형구항 4

베이스부(13)와 봉합부(14)로 구성되는 외장부(10)와; 상기 외장부 내에 설치된 반도체 칩(12)과; 상기 반도체 칩과 전기적으로 접속되고 상기 베이스부와 상기 봉합부에 삽입된 Cu 물질의 리이드 프레임(17)과; 상기 리이드 프레임에 설치되며 상기 삽입 부분에 위치하는 앵커 홀(17a, 17c, 17d)과; 상기 앵커 홀 내부와 상기 삽입 부분의 상기 리이드 프레임에 각각의 코팅된 폴리머미드(21,22)와; 상기 폴리머미드, 상기 베이스부 및 상기 봉합부 각 사이에 설치된 유리 계열의 접착제(16)를 구비하는 것을 특징으로 하는 반도체 장치.

도면

10-0191759

FIG 1

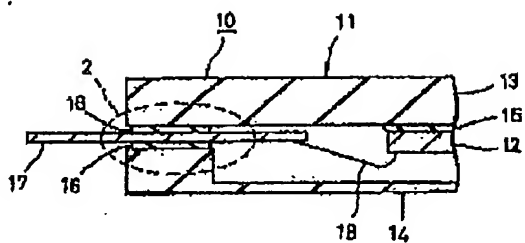


FIG 2

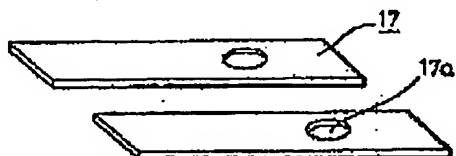
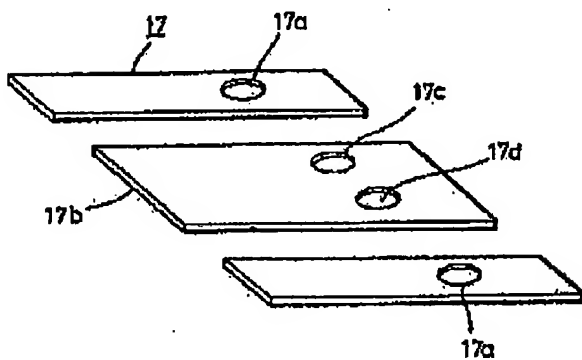


FIG 3



10-0191759

FIG 4

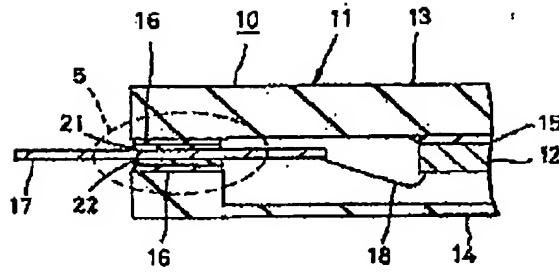


FIG 5

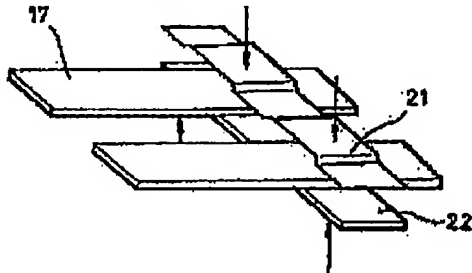
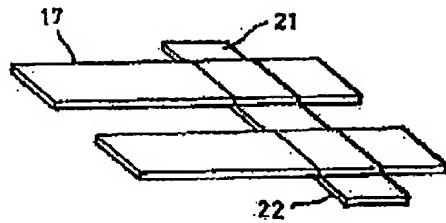
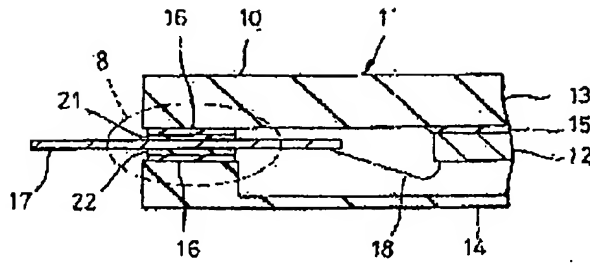


FIG 6

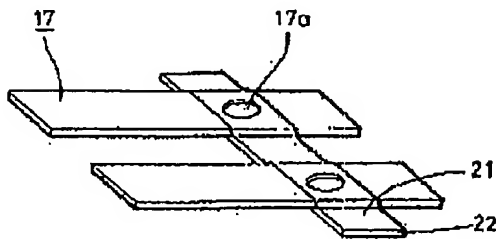


10-0191759

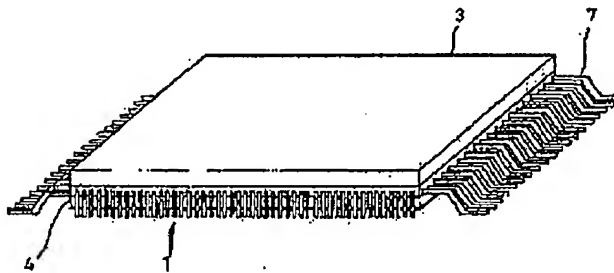
도면7



도면8

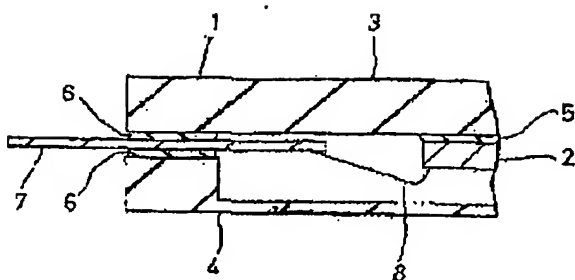


도면9



10-0191759

5B10



8-8

발송번호: 9-5-2006-041785298

발송일자: 2006.07.24

제출기일: 2006.09.24

수신 서울시 중구 서소문동 41-3, 대한항공빌딩

3층(남앤드남국제특허법률사무소)

남상선

100-813

특 허 청 의견제출통지서

COPY

출 원 인 명 칭 엔이씨 도관 가부시키기이사 외 1 명 (출원인코드:

519980624403)

주 소 일본 미야기쵸 센다이시 다이하쿠구 고리야마 6쵸메 7-1

대 리 인 명 칭 남상선

주 소 서울시 중구 서소문동 41-3, 대한항공빌딩

3층(남앤드남국제특허법률사무소)

출 원 번 호 10-2004-0044098

발 명 의 명 칭 칩형 고체 전해질 커패시터 및 그 제조 방법

이 출원에 대한 심사결과 아래와 같은 거절이유가 있어 특허법 제63조의 규정에 의하여 이를 통지하오니 의견이 있거나 보정이 필요할 경우에는 상기 제출기일까지 의견서[특허법 시행규칙 별지 제25호의2서식] 또는/및 보정서[특허법시행규칙 별지 제5호서식]를 제출하여 주시기 바랍니다. (상기 제출기일에 대하여 매회 1월 단위로 연장을 신청할 수 있으며, 이 신청에 대하여 별도의 기간연장승인통지는 하지 않습니다.)

[이유]

이 출원의 특허청구범위 전항에 기재된 발명은 그 출원전에 이 발명이 속하는 기술분야에서 통상의 지식을 가진 자가 아래에 지적한 것에 의하여 용이하게 발명할 수 있는 것이므로 특허법 제29조제2항의 규정에 의하여 특허를 받을 수 없습니다.

이 출원은 특허청구범위 제_항의 기재가 아래에 지적한 바와 같이 불비하여 특허법 제42조 제4항제2호의 규정에 의한 요건을 충족하지 못하므로 특허를 받을 수 없습니다.

[아래]

1. 본원발명은 칩형 고체전해질 커패시터 및 그 제조방법에 관한 것으로, 캐소드와 캐소드 단자가 접촉되는 캐소드 단자 부분에 쓰루 홀이나, 컷아웃을 제공하여 점접촉도를 증가시키는 것을 주요 특징으로 하고 있으나, 이러한 것은 첨부된 인용발명인 한국등록특허 0191759에서 반도체 칩의 베이스와 봉합부 사이에 리이드 프레임 일부분에 앵커 홀을 구비하고, 충전제를 앵커 홀에 충전하여 점접촉으로서 밀착성을 증진시키는 공지의 기술을 단순 이용한 것에 불과한 것이며, 이러한 공지의 기술을 단순 이용하는 것은 이 분야에서 통상의 지식을 가진 자라면 인용발명으로부터 용이하게 본원발명을 발명할 수 있는 것입니다.

2. 청구항5에는 불명확한 용어인 "윗/또는"을 사용하고 있으며, 청구항7은 "원형, 사각형 또는 다각형"을 선택적으로 사용하고 있지 않습니다.

[참 부]

첨부1 등록특허번호 제0191759호(1999.06.15) 1부. 끝.

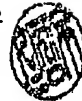
2008.07.24

특허청

전기전자심사본부
전기심사팀

심사관

신창우



<< 안내 >>

영세서 또는 도면 등의 보정서를 전자문서로 제출할 경우 매건 3,000원, 서면으로 제출할 경우 매건 13,000원의 보정료를 납부하여야 합니다.

보정료는 접수번호를 부여받아 이를 납부자번호로 "특허법·실용신안법·디자인보호법및상표법에 의한 특허료·등록료와 수수료의 징수규칙" 별지 제1호서식에 기재하여, 접수번호를 부여받은 날의 다음 날까지 납부하여야 합니다. 다만, 납부일이 공휴일(토요일·휴일)을 포함한다에 해당하는 경우에는 그날 이후의 첫 번째 근무일까지 납부하여야 합니다.

보정료는 국고수납은행(대부분의 시중은행)에 납부하거나, 인터넷지로(www.giro.or.kr)로 납부할 수 있습니다. 다만, 보정서를 우편으로 제출하는 경우에는 보정료에 상응하는 용상환을 동봉하여 제출하시면 특허청에서 납부해드립니다.

기타 문의사항이 있으시면 ☎042-481-5733로 문의하시기 바랍니다.

서식 또는 절차에 대하여는 특허고객 콜센터(☎1544-8080)로 문의하시기 바랍니다.